

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

IN RE APPLICATION OF: Kouichi MOCHIZUKI

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: GATE DRIVING CIRCUIT IN POWER MODULE

**REQUEST FOR PRIORITY**

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. \_\_\_\_\_ Date Filed \_\_\_\_\_

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-218674	July 26, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_ ; and
- ☐ (B) Application Serial No.(s) \_\_\_\_\_  
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913



22850

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月26日

出 願 番 号

Application Number:

特願2002-218674

[ ST.10/C ]:

[ JP2002-218674 ]

出 願 人

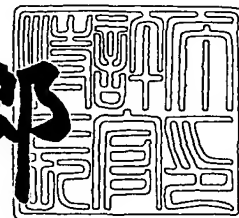
Applicant(s):

三菱電機株式会社

2002年 9月10日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3069674

【書類名】 特許願  
【整理番号】 538796JP01  
【提出日】 平成14年 7月26日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 23/48  
H03K 17/08  
G05F 1/56

【発明者】

【住所又は居所】 福岡県福岡市西区今宿東一丁目1番1号 福菱セミコン  
エンジニアリング株式会社内

【氏名】 望月 浩一

【特許出願人】

【識別番号】 000006013

【住所又は居所】 東京都千代田区丸の内二丁目2番3号

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】            要約書    1  
【プルーフの要否】    要

【書類名】 明細書

【発明の名称】 パワーモジュールのゲート駆動回路

【特許請求の範囲】

【請求項 1】 ゲートバイアス電源からゲート配線を介してパワースイッチング素子のゲート端子にバイアス電圧を供給してゲート駆動制御を行うゲート駆動回路であって、

前記パワースイッチング素子のエミッタ端子と外部負荷とを接続する主電流回路配線と、

前記ゲート配線の一部が、前記主電流回路配線の周りに電氣的に絶縁されて巻回されて形成された起電力誘導コイル部とを有し、

前記起電力誘導コイル部の一端が前記ゲート端子に接続され、他端がゲート駆動電流抑制抵抗を介して前記ゲートバイアス電源に接続され、前記起電力誘導コイル部は前記パワースイッチング素子の主電流のみに基いて誘導起電力を誘起することを特徴とするゲート駆動回路。

【請求項 2】 前記パワースイッチング素子はコレクタ・エミッタ間に接続されたフライホイールダイオードを有し、該フライホイールダイオードのカソード端子側配線と前記主電流回路配線上の接続点は、前記起電力誘導コイル部の巻回位置よりも外部負荷側に位置している請求項 1 記載のゲート駆動回路。

【請求項 3】 前記ゲートバイアス電源と前記エミッタ端子側の前記主電流回路配線間に接続されて、前記ゲートバイアスの基準となるゲートバイアス基準配線を有し、該ゲートバイアス基準配線と前記主電流回路配線上の接合点は、前記起電力誘導コイル部の巻回位置よりも前記エミッタ端子側に近い箇所に位置していることを特徴とする請求項 1 記載のゲート駆動回路。

【請求項 4】 パワースイッチング素子チップ上に搭載されたパワーモジュールのゲート駆動回路であって、

ゲートバイアス電源からパワースイッチング素子のゲート端子にバイアス電圧を供給するためのゲート配線を接続したゲートパッドと、

前記パワースイッチング素子のエミッタ端子と外部負荷とを接続する主電流回路配線を接続したエミッタパッドと、

前記ゲート配線の一部が、前記エミッタパッドの周りに電氣的絶縁状態で配置構成された起電力誘導部とを有し、

前記起電力誘導部の一端が前記ゲート端子に接続され、他端が前記ゲートパッドに接続され、前記起電力誘導部は前記パワースイッチング素子の主電流のみに基いて誘導起電力を誘起することを特徴とするパワーモジュールのゲート駆動回路。

【請求項 5】 前記パワースイッチング素子はコレクタ・エミッタ間に接続されたフライホイールダイオードを有し、該フライホイールダイオードのカソード端子側配線と前記主電流回路配線上の接続点は、前記エミッタパッド位置よりも外部負荷側に位置している請求項 4 記載のゲート駆動回路。

【請求項 6】 前記起電力誘導部は前記エミッタパッドの一部の周りに電氣的絶縁状態で巻回配置したコイル部を有する請求項 4 記載のゲート駆動回路。

【請求項 7】 前記ゲートバイアス電源と前記エミッタ端子側の前記主電流回路配線間に接続されて、前記ゲートバイアスの基準となるゲートバイアス基準配線を有し、該ゲートバイアス基準配線と前記主電流回路配線上の接合点は、前記起電力誘導部を構成するゲート配線の巻回位置に相当するエミッタパッド位置よりも前記エミッタ端子側に近い箇所に位置していることを特徴とする請求項 4 ～ 6 のいずれか 1 項に記載のゲート駆動回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明はパワーモジュールのゲート駆動回路に関し、特に、絶縁ゲート形バイポーラトランジスタ（Insulated Gate Bipolar Transistor：以後「IGBT」と略記する）等のパワースイッチング素子を用いたパワーモジュールにおいて、主電流の時間変化に応じてゲートバイアスをリアルタイムに変化させ、負荷短絡時の過電流を抑制し、パワーモジュールの耐量を改善したゲート駆動回路に関するものである。

【 0 0 0 2 】

【従来の技術】

一般に、モータを駆動するモータ制御回路等のパワーエレクトロニクスでは、スイッチング素子として、定格電圧が300V以上の領域では、その特性からIGBT等の電力用半導体素子が主に用いられている。また、IGBTやダイオード等の電力半導体素子は一つのパッケージ内に搭載され、パワーモジュールとして電力変換装置等に使用される場合が多い。

## 【0003】

一般にパワースwitching素子は高電圧・高電流を高いスイッチング周波数で通電制御するので、スイッチングタイム、スイッチング損失が小さいことが望ましい。しかし、スイッチング素子の高速化を進めると、ターンオン・ターンオフ応答速度の速いスイッチング素子では、ターンオン・ターンオフ時の電流の時間変化 $di/dt$ が増大し、これにより発生するサージ電圧により素子破壊や誤動作の原因となることがある。

## 【0004】

即ち、スイッチング素子であるIGBTがオン・オフ動作をする場合、オフ側の素子に並列接続したフライホイールダイオード(FWD)の逆回復時に非常に高い電圧の時間変化 $dv/dt$ が生成される。この $dv/dt$ の電圧時間変化でコレクタ・ゲート間の接合容量を充電するように流れる電流が、ゲート・エミッタ間の電圧をゲート閾値以上に高めて誤動作させ、素子の直列短絡を引起す場合があった。

## 【0005】

また、スイッチング素子を各種装置に組み込んで使用する場合は、素子のターンオン速度等の動作特性を適用装置の動作条件に適合させる必要があった。

## 【0006】

図5は従来のパワーモジュールのゲート駆動回路の回路構成例を示す。同図に示すゲート駆動回路において、50はIGBT、51はIGBTの主端子の1つであるエミッタ端子、52は制御信号が入力されるゲート端子、53はIGBTの主端子の1つであるコレクタ端子、54はゲートバイアスの基準となるエミッタ端子側とゲートバイアス電源55間に接続されたリード配線、56はゲート電流抑制抵抗 $R_G$ を有するゲート配線、57はコレクタ・エミッタ間に並列接続さ

れたフライホイールダイオード（FWD）である。

【 0 0 0 7 】

従来のパワーモジュールでは、図 5 に示すように、IGBT 5 0 のエミッタ端子 5 1 側の電位を基準とし、この基準電位に対し、ゲートバイアス電源 5 5 からゲート配線 5 6 のゲート電流抑制抵抗  $R_G$  を介してゲート端子 5 2 にバイアスを与え、IGBT 5 0 のゲート酸化膜（不図示）に電荷を充填、電荷の放出を行うことにより、IGBT のオン・オフ制御を行っている。

【 0 0 0 8 】

【発明が解決しようとする課題】

このように従来は、エミッタ端子 5 1 側に流れる主電流の時間変化  $di/dt$  は、主に、ゲート電流抑制抵抗  $R_G$  の抵抗値の大きさによって決定していた。しかし、このような構成では、オン電圧が低くできる反面、ゲート容量および短絡電流が増大するという問題がある。即ち、パワーモジュールの負荷短絡時など主電流の時間変化が大きい場合でも通常時と同一のゲート制御を行うので、IGBT は活性領域において自己のもつ伝達特性に応じて主電流をエミッタ端子側に流すこととなる。このため、主電流（ $I_C$ ）と電源電圧（ $V_{CE}$ ）との積の時間積分として算出される発熱量が IGBT の熱耐量の限界を超えた場合、パワーモジュールの IGBT 自体が熱的破壊に至るといった課題があった。

【 0 0 0 9 】

本発明は、上記課題を解決するためになされたもので、ゲート容量や短絡電流を制御でき、IGBT を用いたパワーモジュールの負荷短絡時などの過電流を抑制し、パワーモジュール内の IGBT の熱的破壊を防止したゲート駆動回路を提供することを目的とする。

【 0 0 1 0 】

【課題を解決するための手段】

上記目的を達成するために、本発明の第 1 の態様によるゲート駆動回路は、ゲートバイアス電源からゲート配線を介してパワースイッチング素子のゲート端子にバイアス電圧を供給してゲート駆動制御を行い、パワースイッチング素子のエミッタ端子と外部負荷とを接続する主電流回路配線と、ゲート配線の一部が、主



電流回路配線の周りに電氣的に絶縁された状態で巻回されて形成された起電力誘導コイル部とを有する。この起電力誘導コイル部の一端がゲート端子に接続され、他端がゲート駆動電流抑制抵抗を介してゲートバイアス電源に接続され、起電力誘導コイル部はパワースイッチング素子の主電流のみに基いて誘導起電力を誘起することを特徴とする。

## 【 0 0 1 1 】

本発明の第 1 の態様によれば、主電流の時間変化に応じたコイルの起電力を使ってゲートを制御するため、負荷短絡時などにリアルタイムに主電流の時間変化を抑制することができる。このため短絡時の I G B T の自己発熱を抑制でき、短絡耐量が向上する。また、主電流回路をコイル中に通すことにより、コイルに発生される起電力は、主回路とコイルとの距離に影響されず、コイルの巻数、直径により決定されるため、安定した起電力が得られる。

## 【 0 0 1 2 】

上記第 1 の態様において、好ましくは、パワースイッチング素子はコレクタ・エミッタ間に接続されたフライホイールダイオードを有し、フライホイールダイオードのカソード端子側配線と主電流回路配線上の接続点は、起電力誘導コイル部の巻回位置よりも外部負荷側に位置した構成としてもよい。

## 【 0 0 1 3 】

このように構成することにより、コイルに発生する誘導起電力は I G B T の主電流のみに基いて誘起され、ダイオードの電流には影響されないため、さらに安定した起電力が得られる。

## 【 0 0 1 4 】

上記第 1 の態様において、好ましくは、ゲートバイアス電源とエミッタ端子側の主電流回路配線間に接続されて、ゲートバイアスの基準となるゲートバイアス基準配線を有し、このゲートバイアス基準配線と主電流回路配線上の接合点は、起電力誘導コイル部の巻回位置よりもエミッタ端子側に近い箇所に位置している構成としてもよい。

## 【 0 0 1 5 】

これにより、ゲートの基準バイアスがより安定するので、パワーモジュール内

の I G B T の誤動作を確実に防止できる効果がある。

【 0 0 1 6 】

本発明の第 2 の態様によるゲート駆動回路は、パワースイッチング素子のチップ上に搭載されたパワーモジュールのゲート駆動回路であって、ゲートバイアス電源からパワースイッチング素子のゲート端子にバイアス電圧を供給するためのゲート配線を接続したゲートパッドと、パワースイッチング素子のエミッタ端子と外部負荷とを接続する主電流回路配線を接続したエミッタパッドと、ゲート配線の一部がエミッタパッドの周りに電氣的に絶縁された状態で配置された構成の起電力誘導部とを有する。この起電力誘導部の一端がゲート端子に接続され、他端がゲートパッドに接続され、起電力誘導部はパワースイッチング素子の主電流のみに基いて誘導起電力を誘起することを特徴とする。

【 0 0 1 7 】

上記構成により、各 I G B T チップ毎に主電流の時間変化を抑制することができるので、並列チップ搭載のモジュールの場合の短絡耐量が向上する効果を奏する。

【 0 0 1 8 】

上記第 2 の態様において、好ましくは、パワースイッチング素子はコレクタ・エミッタ間に接続されたフライホイールダイオードを有し、フライホイールダイオードのカソード端子側配線と主電流回路配線上の接続点は、エミッタパッド位置よりも外部負荷側に位置した構成としてもよい。

【 0 0 1 9 】

このように構成することにより、フライホイールダイオードのカソードと主電流回路配線上の接続点は、起電力誘導部となるゲート配線の巻回位置に相当するエミッタパッド位置よりも外部負荷側に位置しているので、起電力誘導部に発生する誘導起電力は I G B T の主電流のみに基いて誘起され、ダイオードの電流には影響されず、さらに安定した起電力が得られる。

【 0 0 2 0 】

上記第 2 の態様において、好ましくは、起電力誘導部はエミッタパッドの一部の周りに電氣的絶縁状態で巻回配置したコイル部を有する構成としてもよい。

## 【 0 0 2 1 】

これにより、主電流の時間変化を任意に選ぶことができるので、回路設計・製作においてコイル部のゲート配線内への組み込みの自由度が増えるといった効果を奏する。

## 【 0 0 2 2 】

また、上記第2の態様において、好ましくは、ゲートバイアス電源とエミッタ端子側の主電流回路配線間に接続されて、ゲートバイアスの基準となるゲートバイアス基準配線を有し、ゲートバイアス基準配線と主電流回路配線上の接合点は、起電力誘導部となるゲート配線の巻回位置に相当するエミッタパッド位置よりもエミッタ端子側に近い箇所に位置している構成としてもよい。

## 【 0 0 2 3 】

上記構成により、ゲートの基準バイアスがより安定するので、パワーモジュール内の I G B T の誤動作を確実に防止できる効果がある。

## 【 0 0 2 4 】

## 【発明の実施の形態】

モータ制御回路等において使用される、I G B T を搭載した本発明に係るパワーモジュールのゲート駆動回路は、I G B T のゲートにバイアスを与えるゲート配線の一部に、主電流回路配線の周りに主電流回路配線とは電氣的に絶縁された状態で巻回されたコイル部を組み込み接続し、上記コイル部の一端を I G B T のゲート端子に接続し、他端をゲート配線のゲート駆動電流抑制抵抗を介してゲートバイアス電源に接続している。

## 【 0 0 2 5 】

このように、I G B T のエミッタ端子側の主電流回路配線の周りに主電流回路配線と電氣的に絶縁された状態で配置されたコイル部をゲート配線に組み込むことにより、パワーモジュールの負荷短絡時などの主電流の時間変化を、コイル部に発生する誘起電圧に変換することにより抑制し、ゲートバイアスをリアルタイムに変化させる構成である。これにより、パワーモジュールの負荷短絡時などの過電流を抑制し、モジュールの耐量を改善してパワーモジュール内の I G B T の熱的破壊を防止する。

## 【 0 0 2 6 】

また、I G B T はコレクタ・エミッタ間に接続されたフライホイールダイオードを有し、フライホイールダイオードのカソード端子側配線と主電流回路配線上の接続点は、起電力誘導コイル部の巻回位置よりも外部負荷側に位置している。

## 【 0 0 2 7 】

このように構成することにより、フライホイールダイオード（FWD）のカソードと主電流回路配線上の接続点は、起電力誘導コイル部の巻回位置よりも外部負荷側、即ち、エミッタ端子と反対側に位置しているため、コイルに発生する誘導起電力は I G B T の主電流のみに基いて誘起される。よって、ダイオード（FWD）の電流には影響されないため、さらに安定した誘導起電力が得られる。

## 【 0 0 2 8 】

また、ゲートバイアスの基準となるエミッタ端子側のリード配線は、主電流回路配線上の接合点（以後、「エミッタ補助端子」とも呼ぶ）とゲートバイアス電源端子間を接続するゲートバイアス基準配線であり、これと主電流回路配線上の接合点は、主電流回路配線上において、コイルの巻回位置と I G B T のエミッタ端子との間に位置している。このように構成することにより、ゲートの基準バイアスがより安定するため、パワーモジュール内の I G B T の誤動作を確実に防止できる。

## 【 0 0 2 9 】

以下、図 1 乃至図 4 を用いて本発明の実施の形態について説明する。ただし、本発明の実施の形態ではパワースイッチング素子として I G B T を用いた場合を例示して説明しているが、本発明はこれに限定されるものではなく、他の MOS トランジスタ等の素子を用いた場合にも適用可能である。なお、各図において共通する要素には同一の符号を付し、重複する説明については省略している。

## 【 0 0 3 0 】

## （実施の形態 1）

図 1 は本発明の実施の形態 1 に係るゲート駆動回路 1 の回路図、図 2 は本実施の形態 1 のゲート駆動回路を用いたときと、図 6 に示す従来構成を用いた場合との時間変化に関する動作特性を比較した波形図を示す。

## 【0031】

図1に示すゲート駆動回路1において、10はIGBT、11はIGBT10のエミッタ端子（主端子）、12はゲート端子、13はコレクタ端子、14はゲートバイアスの基準となるエミッタ端子側の接続点であるエミッタ補助端子21とゲートバイアス電源15間を接続するリード配線、15a及び15bはゲートバイアス電源端子、16はゲート電流抑制抵抗 $R_G$ を有するゲート配線、17はエミッタ端子11側と外部負荷（不図示）間に接続され主電流が流れる主電流回路配線、18はゲート配線16に組み込まれたコイル部、19はコレクタ端子13と主電流回路配線17上の接続点20間に接続されたフライホイールダイオード（FWD）であり、この主電流回路配線17上の接続点20は、コイル部18の巻回位置よりも外部側（エミッタ端子11より遠い側）に位置している。

## 【0032】

図1に示すように、本実施の形態1に係るゲート駆動回路1において、IGBT10のゲート端子12にゲートバイアス電源15からバイアス電圧を与えるゲート配線16の所定箇所にコイル部18を組み込み、コイル部18はエミッタ端子11側の主電流回路配線17の所定部の周りに巻回され、主電流回路配線と電氣的に絶縁した状態で相互誘導するように配置している。コイル部18の一端をIGBTのゲート端子12に接続し、コイル部の他端をゲート駆動電流抑制用抵抗 $R_G$ を介してゲートバイアス電源15の電源端子15aに接続している。このように主電流の流れる主電流回路配線17がコイル部18の各ターン中心部を貫通するように絶縁配置し、コイル部18に発生する誘導起電力の大きさは外部負荷抵抗に瞬間的に流れる電流の大きさに比例するように構成している。

## 【0033】

ここで、ゲートバイアスの基準となるエミッタ端子側のリード配線14は、ゲートバイアス電源15の電源端子15bと主電流回路配線17上の接合点であるエミッタ補助端子21間を接続する配線であり、上記接合点（エミッタ補助端子）21は、本実施の形態では、主電流回路配線17上において、コイル部18の巻回位置よりもIGBTのエミッタ端子11側に近い箇所に位置している。これにより、ゲートの基準バイアスがより安定し、パワーモジュール内のIGBTの

誤動作を確実に防止できる効果がある。

【0034】

また、フライホイールダイオード（FWD）19と主電流回路配線17上の接続点20は、コイル部18の巻回位置よりも外部側、即ち、エミッタ端子11と反対側に位置しているので、コイルに発生する誘導起電力はIGBTの主電流のみに基いて誘起され、ダイオード（FWD）19の電流には影響されない。

【0035】

上記構成において、IGBT10のゲートバイアスを与えるゲート配線16中に付加したコイル部18としては、例えば、各ターンの直径は1 $\mu$ m程度で巻数が4ターンで、ビニール等の絶縁材料で被覆したコイルが使用可能である。このようにコイル部18をゲート配線16中に組み込むことにより、主電流回路配線17に流れる主電流に基いてコイルに発生する誘導起電力を利用して、ゲートバイアスをリアルタイムに変化させている。

【0036】

次に、コイル部18に発生する誘導起電力の作用について図2を用いて説明する。図2の動作特性を比較する波形図では、主電流、ゲート電圧、及び（主電流 $\times$ 電源電圧）の時間積（＝発熱量）の波形変化を示し、実線は従来構成の場合、点線は本発明の構成における各波形を示す。ここで、コイルに発生する誘導起電力を $V_L$ 、エミッタ電流（主電流）を $i$ 、インダクタンスを $L$ とすると、 $V_L = L \cdot di/dt$ として表される。また、ゲートバイアス電源15の電源電圧 $V_{CE}$ は、制御信号としてゲート端子12とエミッタ補助端子21間に外部から印可したステップ状のドライブ電圧である。ゲートバイアス $V_{GE}$ はゲートバイアス電源15からゲート配線16を介してIGBTのゲート端子12に印可される電圧である。

【0037】

IGBT10がスイッチング動作する場合、コレクタ端子13とエミッタ端子11の主端子に流れる主電流が変化するとき、ゲートバイアスを与えるゲート配線16中のコイル18に誘導起電力が誘起し、この誘導起電力が、ゲート端子12に入力されるゲート制御信号（ゲートバイアス $V_{GE}$ ）の急峻な立ち上がり及

び立ち下り勾配を低減するように作用する。

【0038】

ターンオン時にゲート端子12とエミッタ補助端子21間に急峻に立ち上がるステップ状のドライブ電源電圧 $V_{CE}$ を印可してコレクタ・エミッタ電流（主電流） $i$ が流れ始めると、コイル18に誘導起電力 $V_L$ が誘起してドライブ電源電圧 $V_{CE}$ に対して逆向きに作用する。これにより、ゲート端子12に印可されるゲートバイアス電圧 $V_{GE}$ は立ち上がり勾配が穏やかになり、これに比例してコレクタ・エミッタ電流（主電流） $i$ の時間変化 $di/dt$ が抑制される。なお、ターンオフ時はこれと逆の作用によりコレクタ・エミッタ電流（主電流） $i$ の急峻な立ち下りを緩和する。

【0039】

このようなゲート駆動回路を用いてIGBT10を負荷短絡状態でオン動作させた場合は、ゲート配線にコイル部を設けていない従来例（図5に示す）の場合に比べ、図2の特性比較から明らかなように、主電流 $I_c$ の増加期間（ $t_1 \sim t_2$ の間）にゲートバイアス $V_{GE}$ が小さくなり、主電流の時間変化が抑制されている。これによりIGBTのオン動作後約3 $\mu$ 秒までの（主電流 $\times$ 電源電圧）の時間積 $\int (I_c \times V_{CE})$ 、即ち、発熱量が10%程度抑制される。このように、本実施の形態によれば、パワースイッチング素子内での過大なサージ電圧を抑制して素子の破壊、誤動作を防止する効果を奏する。

【0040】

更に、コイルの巻数に応じてコイルのインダクタンスを調整することによりゲートバイアスの増減が調整でき、それに伴い主電流の時間変化を調整することができる。また、通常のインダクタンス負荷スイッチング方式では主電流の時間変化が少なく、ゲートバイアスの減少がないため、コイルの影響によるスイッチング速度の遅れやオン動作時のロス（ターンオンロス）の増加は見られない。

【0041】

このように、本実施の形態1によれば、負荷短絡時など主電流の時間変化が大きな場合、主電流と電源電圧との積の時間積分として算出される発熱量がIGBTの熱耐量の限界を超えて破壊に至るといった従来の問題を解消し、耐圧ショ-

トの発生等を効果的に抑制することが可能となる。

【 0 0 4 2 】

(実施の形態 2)

図 3 は本発明の実施の形態 2 に係るゲート駆動回路の構成を模式的に示す平面図である。図 3 に示すように、 I G B T チップ 3 0 上にゲートバイアス電源に接続用のゲートパッド 3 1 と、ゲート配線 3 2 と、 I G B T のエミッタ端子 ( 1 1 ) 側の回路配線接続用のエミッタパッド 3 3 とを備え、エミッタパッド 3 3 は複数個に分割して並列配置されている。ゲート配線 3 2 はゲートパッド 3 1 から I G B T チップ内に配置された各セルのゲート端子 1 2 ( 図 1 参照 ) とを接続するとともに、ゲート配線 3 2 の一部が、エミッタパッド 3 3 の周りに電氣的絶縁状態で巻回したコイル部 3 4 を有して起電力誘導部を構成している。即ち、この起電力誘導コイル部 3 4 の一端が I G B T のゲート端子 ( 1 2 ) に接続され、他端がゲートパッド 3 1 に接続されている。

【 0 0 4 3 】

また、起電力誘導コイル部 3 4 は、 I G B T のエミッタ電流 ( 主電流 ) が流れたときに I G B T の主電流のみに基いて誘導起電力を誘起するように構成している。即ち、前述の実施の形態 1 で図 1 を参照して説明したように、 I G B T のフライホイールダイオード ( F W D ) 1 9 と主電流回路配線 1 7 上の接続点 2 0 は、コイル部 3 4 の巻回位置よりも外部側 ( エミッタ端子 1 1 と反対側 ) に位置するように構成することで、コイルに発生する誘導起電力は I G B T の主電流のみに基いて誘起され、ダイオード ( F W D ) 1 9 の電流には影響されることがない。

【 0 0 4 4 】

好ましい実施の形態では、 I G B T チップ 3 0 上のゲート駆動回路において、チップ上に薄膜状のコイル部 3 4 を設け、 I G B T のゲート端子にバイアス電圧を与えるゲート配線 3 2 の一部にこのコイル部 3 4 を組み込み配置して起電力誘導部を構成する。このコイル部 3 4 を、エミッタ電極側に接続されたエミッタ電流経路である主電流回路配線 ( 1 7 ) の周りに主電流回路配線とは電氣的に絶縁された状態で巻回配置し、コイル部 3 4 の一端を I G B T のゲート端子 1 2 に接



続し、他端をゲートパッド 3 1 に接続した構成としてもよい。

【 0 0 4 5 】

図 3 に示す構成の I G B T チップを用いて負荷短絡状態でオン動作させると、前述の実施の形態 1 で図 2 を用いて説明したように、従来に比べ主電流の増加期間にゲートバイアスが小さくなり、各 I G B T チップごとに主電流の時間変化を抑制することができる。よって、並列チップ搭載のモジュールの場合の短絡耐量が向上する。また、通常のインダクタンス負荷のスイッチングでは主電流の時間変化が少なく、ゲートバイアスの減少がないため、コイルの影響によるスイッチング速度の遅れやオン動作時のロス（ターンオンロス）の増加は見られない。

【 0 0 4 6 】

（実施の形態 3）

図 4 は本発明の実施の形態 3 に係るゲート駆動回路の構成を模式的に示す平面図である。本実施の形態 3 の基本構成は、前述の実施の形態 2 と同様であり、相違点は、本実施の形態 3 では、図 4 に示すように、I G B T チップ 4 0 上にゲートパッド 4 1 と、ゲートパッド 4 1 から I G B T チップ内に配置された各セルのゲート端子とを接続するゲート配線 4 2 を設け、ゲート配線 4 2 は複数個に分割、並列配置されたエミッタパッド 4 3 の周りに絶縁配置されるとともに、ゲート配線 4 2 の一部は分離配置された 1 つのエミッタパッド部 4 3 ' の周りにコイル状に絶縁配置したことである。

【 0 0 4 7 】

具体的には、ゲート配線 4 2 の一部が、I G B T のエミッタ端子（1 1）側接続用のエミッタパッド 4 3 の 1 つのパッド 4 3 ' の周りに電氣的絶縁状態で配置された起電力誘導コイル部 4 4 を有し、起電力誘導コイル部 4 4 の一端が I G B T のゲート端子（1 2）に接続され、他端がゲートパッド 4 1 に接続されている。

【 0 0 4 8 】

また、前述の実施の形態 1 で図 1 を参照して説明したように、I G B T のフライホイールダイオード（FWD）1 9 と主電流回路配線 1 7 上の接続点 2 0 は、コイル部 3 4 の巻回位置よりも外部側（エミッタ端子 1 1 と反対側）に位置する。

ように構成することで、コイルに発生する誘導起電力は I G B T の主電流のみに基いて誘起され、ダイオード (FWD) 1 9 の電流には影響されることがない。

## 【 0 0 4 9 】

このように、本実施の形態では、I G B T チップ 4 0 内のゲート駆動回路において、起電力誘導コイル部 4 4 はエミッタパッドの一部 4 3' の周りに電氣的絶縁状態で巻回配置したコイルである。

## 【 0 0 5 0 】

好ましい実施の形態では、I G B T チップ 4 0 内のゲート駆動回路において、ゲート配線 4 2 の一部に薄膜状のコイル部 4 4 を組み込み配置し、このコイル部 4 4 を、エミッタ電極側に接続された主電流回路配線 1 7 の一部の周りに主電流回路配線とは電氣的に絶縁された状態で巻回配置し、上記コイル部 4 4 の一端を I G B T のゲート端子 1 2 に接続し、他端をゲートパッド 4 1 に接続した構成としてもよい。

## 【 0 0 5 1 】

上記構成により、主電流の時間変化を任意に選定できるため、コイルの組込みの自由度が増える。また、このような I G B T チップを用いて負荷短絡状態でオン動作させると、図 2 に示すように、従来に比べ主電流の増加期間にゲートバイアスが小さくなり、主電流の時間変化が抑制される。また、通常のインダクタンス負荷のスイッチングでは主電流の時間変化が少なく、ゲートバイアスの減少がないため、コイルの影響によるスイッチング速度の遅れやオン動作時のロス（ターンオンロス）の増加は見られない。

## 【 0 0 5 2 】

## (実施の形態 4)

前述の実施の形態 2 及び実施の形態 3 において、ゲートバイアスの基準となるエミッタ端子側のリード配線 1 4 (図 1 参照) は、ゲートバイアス電源 1 5 の電源端子 1 5 b と主電流回路配線 1 7 上の接合点であるエミッタ補助端子 2 1 との間に接続され、上記接合点 2 1 は、本実施の形態では、主電流回路配線 1 7 上において、コイル 1 8 の巻回位置よりも I G B T のエミッタ端子側に近い箇所に位置した構成とする。これにより、ゲートの基準バイアスがより安定することがで

き、パワーモジュール内の I G B T の誤動作を確実に防止できる効果がある。

【 0 0 5 3 】

また、前述の実施の形態 1 で図 1 を参照して説明したように、I G B T のフライホイールダイオード ( F W D ) 1 9 と主電流回路配線 1 7 上の接続点 2 0 は、コイル部 3 4 の巻回位置よりも外部側 ( エミッタ端子 1 1 と反対側 ) に位置するように構成することで、コイルに発生する誘導起電力は I G B T の主電流のみに基いて誘起され、ダイオード ( F W D ) 1 9 の電流には影響されることがない。

【 0 0 5 4 】

なお、本発明の実施例 1 ～ 4 では C S T B T を代表例として説明しているが、本発明はこれに限定されるものではなく、トレンチゲートを有する T I G B T や M O S F E T 等にもマスキングの設計を変更するだけで容易に適用できるものである。

【 0 0 5 5 】

【発明の効果】

以上説明したように、本発明の第 1 の態様によれば、主電流の時間変化に応じたコイルの起電力を使ってゲートを制御するため、負荷短絡時などにリアルタイムに主電流の時間変化を抑制することができる。このため短絡時の I G B T の自己発熱を抑制でき、短絡耐量が向上する。また、主電流回路をコイル中に通すことにより、コイルに発生される起電力は、主回路とコイルとの距離に影響されず、コイルの巻数、直径により決定されるため、安定した起電力が得られる。

【 0 0 5 6 】

上記第 1 の態様において、フライホイールダイオードのカソード端子側配線と主電流回路配線上の接続点が、前記起電力誘導コイル部の巻回位置よりも外部負荷側に位置している構成では、コイルに発生する誘導起電力は I G B T の主電流のみに基いて誘起され、ダイオード ( F W D ) の電流には影響されないため、さらに安定した起電力が得られる。

【 0 0 5 7 】

また、上記第 1 の態様において、ゲートバイアス基準配線と主電流回路配線上の接合点が、起電力誘導コイル部の巻回位置よりもエミッタ端子側に近い箇所に

位置している構成では、ゲートの基準バイアスがより安定するので、パワーモジュール内の I G B T の誤動作を確実に防止できる効果がある。

## 【 0 0 5 8 】

本発明の第 2 の態様によれば、ゲート配線の一部が、エミッタパッドの周りに電氣的絶縁状態で配置構成された起電力誘導部を有し、起電力誘導部の一端がゲート端子に接続され、他端がゲートパッドに接続され、起電力誘導部は I G B T の主電流のみに基いて誘導起電力を誘起する構成により、各 I G B T チップ毎に主電流の時間変化を抑制することができるので、並列チップ搭載のモジュールの場合の短絡耐量が向上する。

## 【 0 0 5 9 】

上記第 2 の態様において、フライホイールダイオードのカソード端子側配線と主電流回路配線上の接続点が、エミッタパッド位置よりも外部負荷側に位置している構成では、起電力誘導部に発生する誘導起電力は I G B T の主電流のみに基いて誘起され、ダイオード ( F W D ) の電流には影響されないで、安定した起電力が得られる。

## 【 0 0 6 0 】

また、上記第 2 の態様において、起電力誘導部がエミッタパッドの一部の周りに電氣的絶縁状態で巻回配置したコイル部を有する構成では、主電流の時間変化を任意に選ぶことができるので、回路設計・製作においてコイル部のゲート配線内への組み込みの自由度が増える。

## 【 0 0 6 1 】

また、上記第 2 の態様において、ゲートバイアス基準配線と主電流回路配線上の接合点が、起電力誘導部を構成するゲート配線の巻回位置に相当するエミッタパッド位置よりもエミッタ端子側に近い箇所に位置している構成では、ゲートの基準バイアスがより安定するので、パワーモジュール内の I G B T の誤動作を確実に防止できる効果がある。

## 【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 に係るゲート駆動回路の回路図。

【図 2】 本発明の実施の形態 1 のゲート駆動回路を用いたときと従来構成

を用いた場合との時間変化に関する動作特性を比較した波形図。

【図 3】 本発明の実施の形態 2 に係るパワーモジュールのゲート駆動回路構成を模式的に示す平面図。

【図 4】 本発明の実施の形態 3 に係るパワーモジュールのゲート駆動回路構成を模式的に示す平面図。

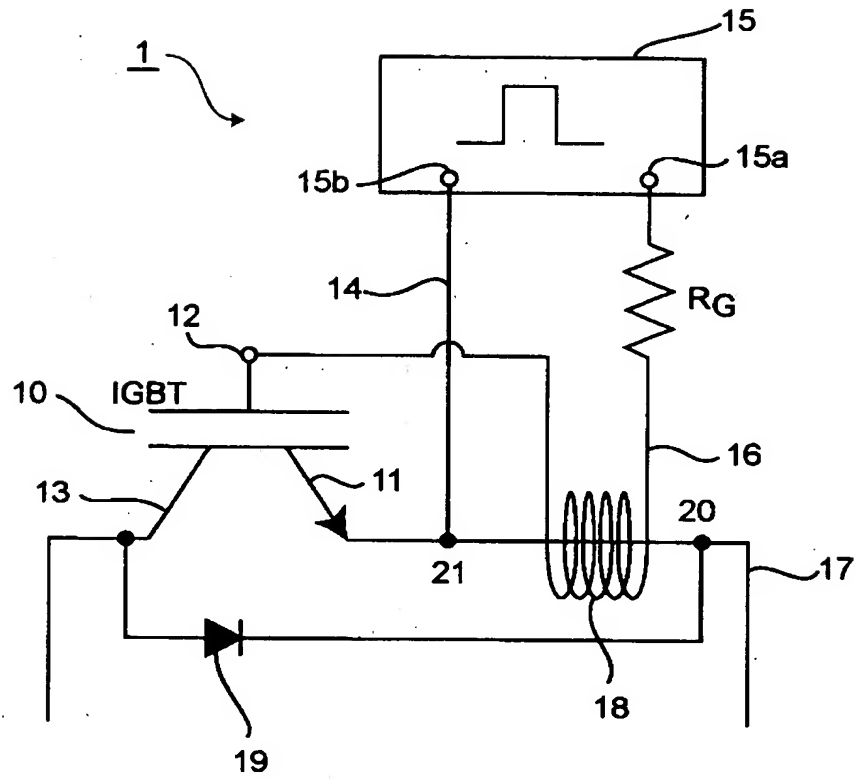
【図 5】 従来のパワーモジュールのゲート駆動回路の回路図。

【符号の説明】

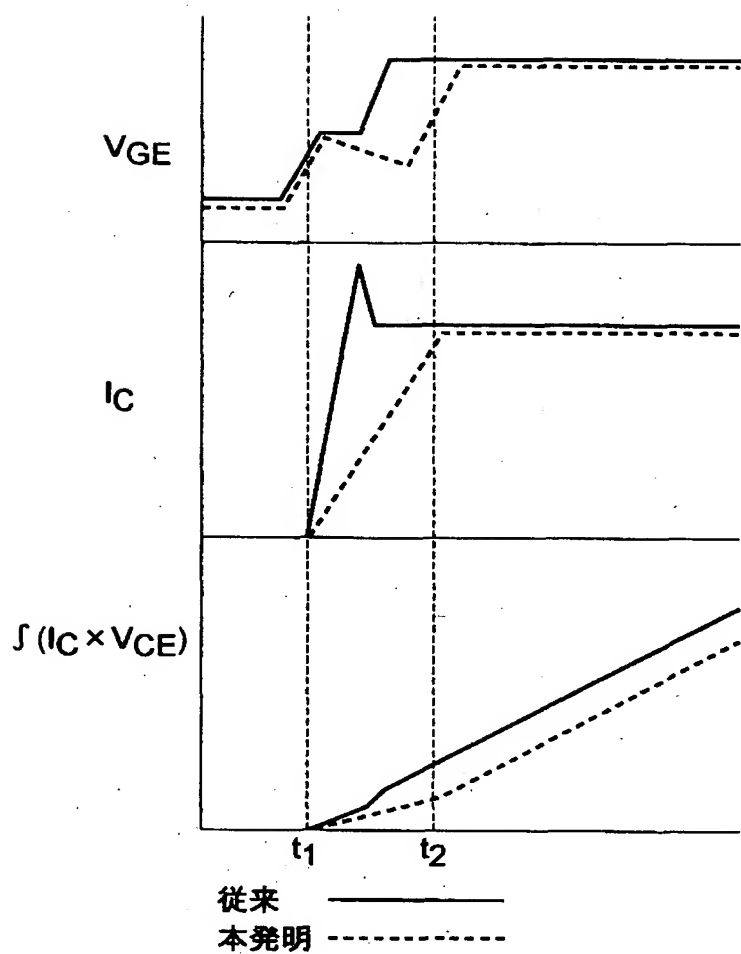
1 ゲート駆動回路、 10 IGBT、 11, 51 エミッタ端子、 12, 52 ゲート端子、 13, 53 コレクタ端子、 14, 54 ゲートバイアス基準配線、 15, 55 ゲートバイアス電源、 15a, 15b ゲートバイアス電源端子、 16, 32, 42, 56 ゲート配線、 17 主電流回路配線、 18, 34, 44 コイル部、 19, 57 フライホイールダイオード、 20, 21 主電流回路配線上の接続点、 30, 40 IGBTチップ、 31, 41 ゲートパッド、 33, 43, 43' エミッタパッド。

【書類名】 図面

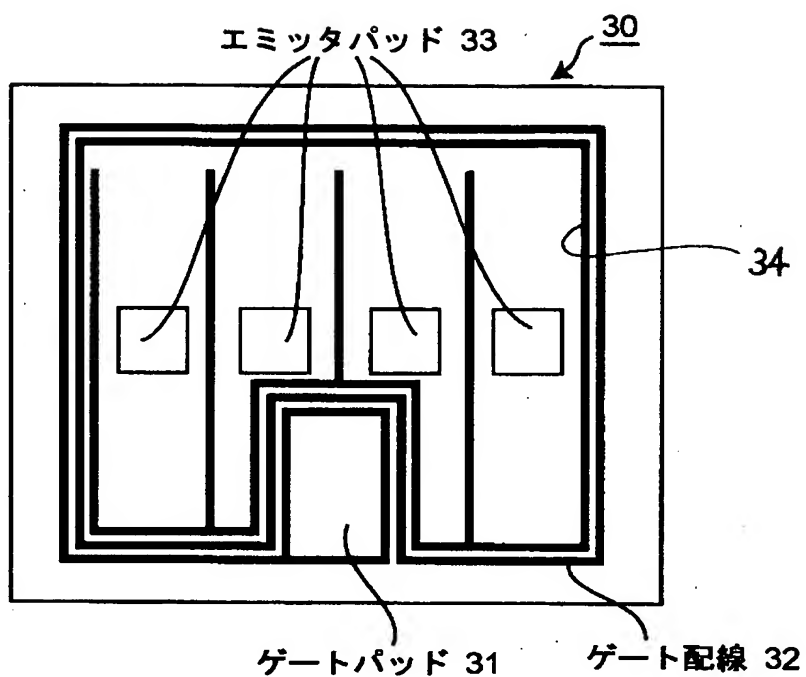
【図 1】



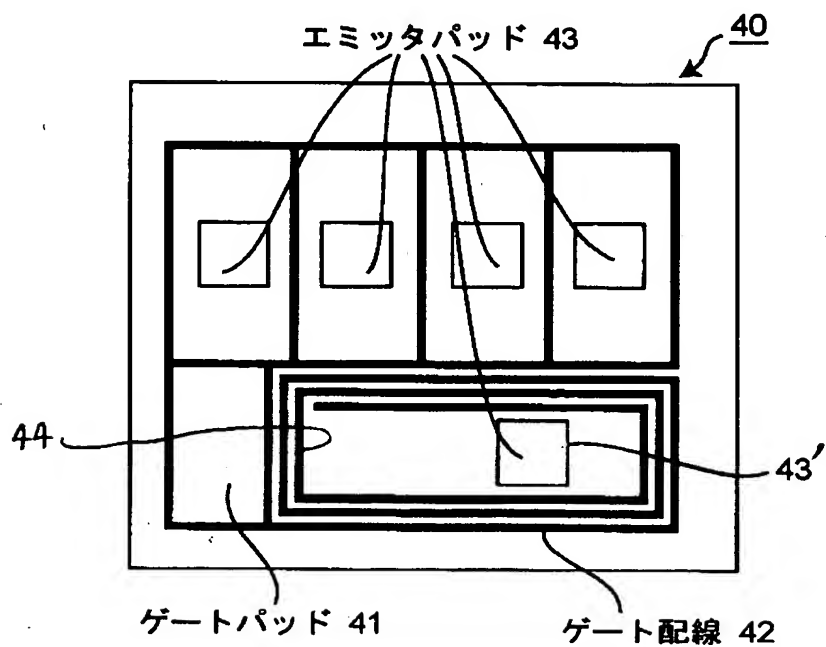
【図 2】



【図 3】

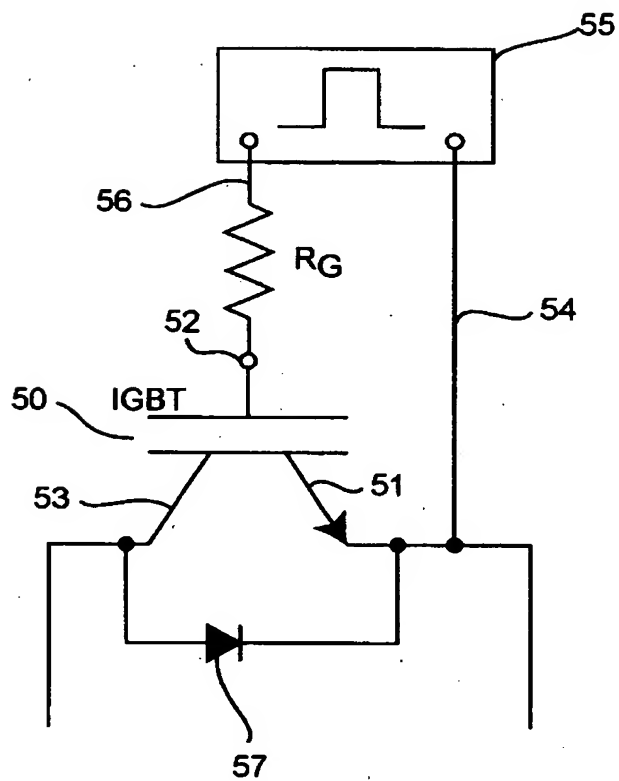


【図 4】





【図 5】



【書類名】            要約書

【要約】

【課題】    I G B Tを用いたパワーモジュールの負荷短絡時などの過電流を抑制し、パワーモジュール内の I G B Tの熱的破壊を防止したゲート駆動回路を提供すること。

【解決手段】    I G B T 1 0 のゲート配線 1 6 の一部に、主電流回路配線 1 7 の周りに電氣的に絶縁した状態で巻回したコイル部 1 8 を組み込み接続し、コイル部の一端をゲート端子 1 2 に接続し、他端をゲート駆動電流抑制用抵抗  $R_G$  を介してゲートバイアス電源 1 5 に接続し、コイル部 1 8 は I G B T の主電流のみに基いて誘導起電力を誘起する構成とし、主電流の時間変化に応じたコイル部の起電力を使ってゲートを制御することにより、負荷短絡時などにリアルタイムに主電流の時間変化を抑制する。

【選択図】            図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社